

Requested Patent: WO0243151A1

Title: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME ;

Abstracted Patent: WO0243151 ;

Publication Date: 2002-05-30 ;

Inventor(s):

SHIMIZU AKIHIRO (JP); OOKI NAGATOSHI (JP); NONAKA YUSUKE (JP); ICHINOSE KATSUHIKO (JP) ;

Applicant(s):

HITACHI LTD (JP); HITACHI ULSI SYS CO LTD (JP); SHIMIZU AKIHIRO (JP); OKI NAGATOSHI (JP); NONAKA YUSUKE (JP); ICHINOSE KATSUHIKO (JP) ;

Application Number: WO2001JP05633 20010629 ;

Priority Number(s): JP20000356497 20001122 ;

IPC Classification: H01L27/092; H01L21/8238 ;

Equivalents:

AU6788001, CN1449585, KR20070087135, TW536726B, US2004029323, US2007023843, US7115954 ;

ABSTRACT:

A semiconductor device comprising an n-channel conductivity type field-effect transistor having a channel forming region in a first region in one major surface of a semiconductor substrate, and a p-channel conductivity type field-effect transistor having a channel forming region in a second region different from the first region in the one major surface of the semiconductor substrate, wherein the inner stress generated in the channel forming region of the n-channel conductivity type field-effect transistor is different from the inner stress generated in the channel forming region of the p-channel conductivity type field-effect transistor. The inner stress generated in the channel forming region of the n-channel conductivity type field-effect transistor is a tensile stress and the inner stress generated in the channel forming region of the p-channel conductivity type field-effect transistor is a compressive stress.

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 5 月 30 日 (30.05.2002)

PCT

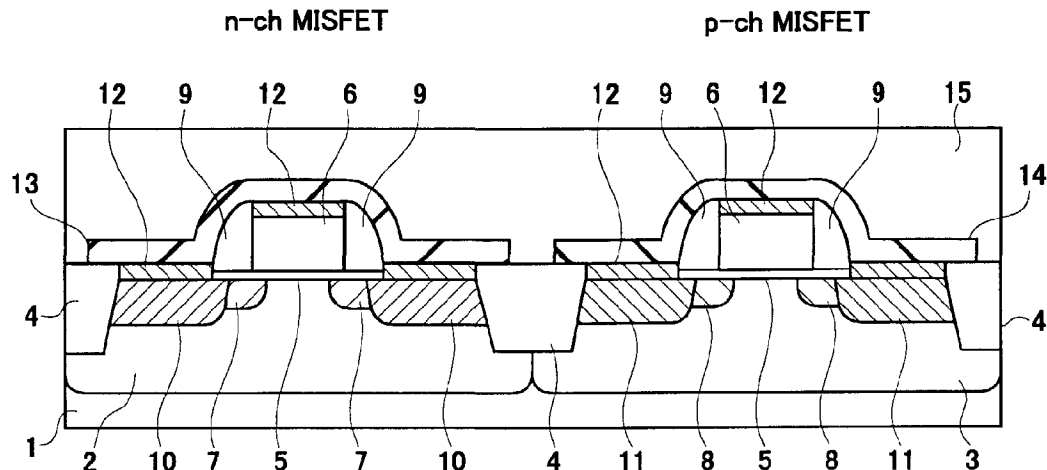
(10) 国際公開番号
WO 02/43151 A1

- (51) 国際特許分類⁷: H01L 27/092, 21/8238 ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/05633
- (22) 国際出願日: 2001 年 6 月 29 日 (29.06.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2000-356497
2000 年 11 月 22 日 (22.11.2000) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI
- (72) 発明者; および
- (73) 発明者/出願人 (米国についてのみ): 清水昭博 (SHIMIZU, Akihiro) [JP/JP]. 大木長斗司 (OOKI, Nagatoshi) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP). 野中裕介 (NONAKA, Yusuke) [JP/JP]. 一瀬勝彦 (ICHINOSE, Katsuhiko) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP).
- (74) 代理人: 秋田収喜 (AKITA, Shuki); 〒114-0013 東京都北区東田端1丁目13番9号 ツインビル田端B 2階 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device comprising an n-channel conductivity type field-effect transistor having a channel forming region in a first region in one major surface of a semiconductor substrate, and a p-channel conductivity type field-effect transistor having a channel forming region in a second region different from the first region in the one major surface of the semiconductor substrate, wherein the inner stress generated in the channel forming region of the n-channel conductivity type field-effect transistor is different from the inner stress generated in the channel forming region of the p-channel conductivity type field-effect transistor. The inner stress generated in the channel forming region of the n-channel conductivity type field-effect transistor is a tensile stress and the inner stress generated in the channel forming region of the p-channel conductivity type field-effect transistor is a compressive stress.

[続葉有]



WO 02/43151 A1



DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

半導体基板の一主面の第1の領域にチャネル形成領域が構成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の一主面の第1の領域と異なる第2の領域にチャネル形成領域が構成されたpチャネル導電型電界効果トランジスタとを有する半導体装置であって、前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力と、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力が、各々で異なっている。前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力は引っ張り応力であり、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力は圧縮応力である。

明 細 書

半導体装置及びその製造方法

技術分野

本発明は、半導体装置及びその製造技術に関し、特に、同一基板に n
5 チャンネル導電型 M I S F E T 及び p チャンネル導電型 M I S F E T を有する半導体装置及びその製造技術に適用して有効な技術に関するものである。

背景技術

10 半導体装置に搭載される電界効果トランジスタとして、M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) と呼称される絶縁ゲート型電界効果トランジスタが知られている。この M I S F E T は、高集積化し易いという特徴を持っていることから、集積回路を構成する回路素子として広く用いられている。

15 M I S F E T は、n チャンネル導電型及び p チャンネル導電型を問わず、一般的に、チャンネル形成領域、ゲート絶縁膜、ゲート電極、ソース領域及びドレイン領域等を有する構成となっている。ゲート絶縁膜は、半導体基板の回路形成面（一主面）の素子形成領域に設けられ、例えば酸化シリコン膜で形成されている。ゲート電極は、半導体基板の回路形成面
20 の素子形成領域上にゲート絶縁膜を介在して設けられ、例えば抵抗値を低減する不純物が導入された多結晶シリコン膜で形成されている。チャンネル形成領域は、ゲート電極と対向する半導体基板の領域（ゲート電極直下）に設けられている。ソース領域及びドレイン領域は、チャンネル形成領域のチャンネル長方向における両側に設けられた半導体領域（不純物

拡散領域）で形成されている。

なお、M I S F E Tにおいて、ゲート絶縁膜が酸化シリコン膜からなるものは、通常、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) と呼ばれている。また、チャネル形成領域とは、
5 ソース領域とドレイン領域とを結ぶ電流通路（チャネル）が形成される領域を言う。

発明の開示

ところで、 $0.1\mu\text{m}$ レベル時代の超微細C M I S (Complementary M
10 I S) プロセスでは、新素材の導入、M I S F E Tの短チャネル効果抑制等の理由から低温化が進んでいる。これは、素子中にプロセス起因の残留応力を残しやすい。プロセス起因の残留応力は、半導体基板の回路形成面の表層部、即ちM I S F E Tのチャネル形成領域に働く。

一般的なC M I S (相補型M I S) プロセスでは、例えば半導体基板
15 の回路形成面上に層間絶縁膜を形成する場合、nチャネル導電型M I S F E T及びpチャネル導電型M I S F E T上で同一材料を用いてきた結果、同一チップ内においてM I S F E Tのチャネル形成領域に働く応力はほぼ同じであった。また、通常は、プロセス的な工夫により、nチャネル導電型M I S F E T及びpチャネル導電型M I S F E Tのチャネル
20 形成領域に働く応力の低減化を図ってきた。

また、チャネル形成領域の応力に対するトランジスタ特性の変化については、ドレイン電流 (I_d) が流れる方向（ゲート長方向）と同じ向きに応力をかけた場合、

(1) nチャネル導電型M I S F E Tのドレイン電流は、圧縮応力で減少し、
25 引っ張り応力で増加すること、

(2) pチャネル導電型M I S F E Tのドレイン電流は、圧縮応力で増

加し、引っ張り応力で減少することが知られている。

しかし、その変化は高々数%以下であった（文献：IEEE TRANSACTIONS ON ELECTRON DEVICES .VOL.38.NO.4.APRIL 1991 p898～p900 参照）。これは、例えばゲート長寸法が $1\mu\text{m}$ のような長寸法のプロセス世代では、
5 十分高温長時間のアニールがなされていたことにもよる。

本発明者等は、前述の技術を検討した結果、以下の問題点を見出した。

M I S F E T のゲート長を $0.1\mu\text{m}$ 付近まで微細化し、プロセスを低温化すると、残留応力が増大し、チャネル形成領域の応力によるトランジスタ特性への影響がとて大きくなることがわかった。

10 例えば、M I S F E T の形成後に層間絶縁膜を兼ねたセルフアラインコンタクト用のプラズマ C V D 窒化膜（プラズマ C V D 法によって形成される窒化膜）の形成条件を変えると、膜中の応力が圧縮方向から引っ張り方向へと大きく変化し、これに応じて M I S F E T のトランジスタ特性も大きく変化することがわかった。これを第 2 図のドレイン電流の
15 層間絶縁膜応力依存性に示す。但し、図中の応力の値は、M I S F E T のチャネル形成領域の内部応力を現すものではなく、層間絶縁膜を被膜した後のウェーハの反りから換算して求めた層間絶縁膜自身の値である。

応力による影響は、前述の文献と同じ傾向であるが、その大きさが $\pm 10\sim 20\%$ と一桁以上大きくなっている。更に、nチャネル導電型 M
20 I S F E T と pチャネル導電型 M I S F E T とでは、膜の応力に応じてドレイン電流の増減が明らかに逆の方向を示す。

従って、層間絶縁膜等の形成条件を変えて内部応力の大きさが変わると、nチャネル導電型 M I S F E E T 及び pチャネル導電型 M I S F E T のドレイン電流が相反する動きを示し、両素子のドレイン電流を同時に向上できないという問題があった。
25

また、更に、 $0.1\mu\text{m}$ レベル以降では、この応力によるドレイン電

流の変動が±10～20%以上にもなり、nチャネル導電型MISFETとpチャネル導電型MISFETとのドレイン電流のバランスが変化するという問題があった。

本発明の目的は、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタの電流駆動能力の向上を図ることが可能な技術を提供することにある。

本発明の他の目的は、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのうち、一方のトランジスタの電流駆動能力の低下を抑制し、他方のトランジスタの電流駆動能力の向上を図ることが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 半導体基板の一主面の第1の領域にチャネル形成領域が構成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の一主面の第1の領域と異なる第2の領域にチャネル形成領域が構成されたpチャネル導電型電界効果トランジスタとを有する半導体装置であって、

前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力は引っ張り応力であり、

前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力は圧縮応力である。

(2) 半導体基板の一主面の第1の領域にチャネル形成領域が構成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の一主面の第1の領域と異なる第2の領域にチャネル形成領域が構成されたpチャネル導電型電界効果トランジスタとを有する半導体装置であって、

前記 n チャンネル導電型電界効果トランジスタ及び前記 p チャンネル導電型電界効果トランジスタのチャンネル形成領域に発生する内部応力が圧縮応力の場合、前記 p チャンネル導電型電界効果トランジスタのチャンネル形成領域に発生する圧縮応力の方が前記 n チャンネル導電型電界効果トランジスタのチャンネル形成領域に発生する圧縮応力よりも大きい。

(3) 半導体基板の一主面の第 1 の領域にチャンネル形成領域が構成された n チャンネル導電型電界効果トランジスタと、前記半導体基板の一主面の第 1 の領域と異なる第 2 の領域にチャンネル形成領域が構成された p チャンネル導電型電界効果トランジスタとを有する半導体装置であって、

10 前記 n チャンネル導電型電界効果トランジスタ及び前記 p チャンネル導電型電界効果トランジスタのチャンネル形成領域に発生する内部応力が引っ張り応力の場合、前記 n チャンネル導電型電界効果トランジスタのチャンネル形成領域に発生する引っ張り応力の方が前記 p チャンネル導電型電界効果トランジスタのチャンネル形成領域に発生する引っ張り応力よりも大きい。

(4) 半導体基板の一主面の第 1 の領域にチャンネル形成領域が構成された n チャンネル導電型電界効果トランジスタと、前記半導体基板の一主面の第 1 の領域と異なる第 2 の領域にチャンネル形成領域が構成された p チャンネル導電型電界効果トランジスタとを有する半導体装置であって、

20 前記 n チャンネル導電型電界効果トランジスタのチャンネル形成領域に引っ張り応力を発生させる膜、及び前記 p チャンネル導電型電界効果トランジスタのチャンネル形成領域に圧縮応力を発生させる膜のうち、少なくとも一方の膜を有する。

(5) 前記手段 (4) に記載の半導体装置において、

25 前記膜は窒化シリコン系の膜である。窒化シリコン系の膜としては、LP-CVD (Low Pressure-Chemical Vapor Deposition: 減圧

気相化学成長)法で被膜された窒化シリコン(例えば Si_3N_4)膜、プラズマCVD法で被膜された窒化シリコン(例えば Si_3N_4)膜、及び枚葉熱CVD法で被膜された窒化シリコン(例えば Si_3N_4)膜等である。

5 (6) 前記手段(4)に記載の半導体装置において、

前記nチャネル導電型電界効果トランジスタのチャネル形成領域に引っ張り応力を発生させる膜は、前記半導体基板の一主面上に前記nチャネル導電型電界効果トランジスタを覆うようにして形成された膜であり、

10 前記pチャネル導電型電界効果トランジスタのチャネル形成領域に圧縮応力を発生させる膜は、前記半導体基板の一主面上に前記pチャネル導電型電界効果トランジスタを覆うようにして形成された膜である。

(7) 前記手段(4)に記載の半導体装置において、

15 前記nチャネル導電型電界効果トランジスタのチャネル形成領域に引っ張り応力を発生させる膜は、前記nチャネル導電型電界効果トランジスタのゲート電極、又は前記ゲート電極の側壁に形成されたサイドウォールスペーサであり、

20 前記pチャネル導電型電界効果トランジスタのチャネル形成領域に圧縮応力を発生させる膜は、前記pチャネル導電型電界効果トランジスタのゲート電極、又は前記ゲート電極の側壁に形成されたサイドウォールスペーサである。

(8) 半導体基板の一主面の第1の領域にチャネル形成領域が構成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の一主面の第1の領域と異なる第2の領域にチャネル形成領域が構成されたpチャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

25

前記nチャネル導電型電界効果トランジスタ及び前記pチャネル導電

型電界効果トランジスタを形成した後、前記 n チャンネル導電型電界効果トランジスタのチャンネル形成領域に引っ張り応力を発生させる膜、及び前記 p チャンネル導電型電界効果トランジスタのチャンネル形成領域に圧縮応力を発生させる膜のうち、少なくとも一方の膜を形成する工程を含む。

- 5 (9) 前記手段 (8) に記載の半導体装置の製造方法において、
前記膜は窒化シリコン系の膜である。

- (1 0) 半導体基板の一主面の第 1 の領域にチャンネル形成領域が構成された n チャンネル導電型電界効果トランジスタと、前記半導体基板の一主面の第 1 の領域と異なる第 2 の領域にチャンネル形成領域が構成された p
10 チャンネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

前記 n チャンネル導電型電界効果トランジスタ及び前記 p チャンネル導電型電界効果トランジスタを形成する工程と、

- 前記半導体基板の一主面の第 1 の領域上及び第 2 の領域上に、前記 p
15 チャンネル導電型電界効果トランジスタのチャンネル形成領域に圧縮応力を発生させる絶縁膜を形成する工程と、

前記半導体基板の一主面の第 2 の領域上における前記絶縁膜に不純物を選択的に導入して、前記 n チャンネル導電型電界効果トランジスタのチャンネル形成領域に発生する圧縮応力を緩和する工程とを含む。

- 20 (1 1) 半導体基板の一主面の第 1 の領域にチャンネル形成領域が構成された n チャンネル導電型電界効果トランジスタと、前記半導体基板の一主面の第 1 の領域と異なる第 2 の領域にチャンネル形成領域が構成された p チャンネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

- 25 前記 n チャンネル導電型電界効果トランジスタ及び前記 p チャンネル導電型電界効果トランジスタを形成する工程と、

前記半導体基板の一主面の第1の領域上及び第2の領域上に、前記nチャネル導電型電界効果トランジスタのチャネル形成領域に引っ張り応力を発生させる絶縁膜を形成する工程と、

5 前記半導体基板の一主面の第1の領域上における前記絶縁膜に不純物を選択的に導入して、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する引っ張り応力を緩和する工程とを含む。

本発明のポイント部分の構成を以下に説明する。

本発明のポイントは、nチャネル導電型電界効果トランジスタ及びnチャネル導電型電界効果トランジスタの各々のチャネル形成領域に働く
10 応力の向き、或いは大きさを、各々のドレイン電流が増加する方向に制御することである。例えば以下のようにする。

1) nチャネル導電型電界効果トランジスタのチャネル形成領域に対して引っ張り応力、pチャネル導電型電界効果トランジスタのチャネル形成領域に対して圧縮応力が働くように、半導体基板の一主面上に形成される膜の材料をnチャネル導電型電界効果トランジスタ及びpチャネル
15 導電型電界効果トランジスタで変更する。

2) 圧縮応力がnチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのチャネル形成領域に働く場合には、nチャネル導電型電界効果トランジスタのチャネル形成領域に働く圧縮応力がpチャネル導電型電界効果トランジスタのチャネル形成領域に働く圧縮
20 応力よりも小さくなるように、半導体基板の一主面上に形成される膜の材料を変える。

3) 引っ張り応力がnチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのチャネル形成領域に働く場合には、
25 pチャネル導電型電界効果トランジスタのチャネル形成領域に働く引っ張り応力がnチャネル導電型電界効果トランジスタのチャネル形成領域

に働く引っ張り応力よりも小さくなるように、半導体基板の一主面上に形成される膜の材料を変える。

上述した手段によれば、通常のプロセスで形成されたnチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタよりも、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのドレイン電流を両方同時に増加することができる。また、nチャネル導電型電界効果トランジスタとpチャネル導電型電界効果トランジスタとのドレイン電流比をある程度自由に設定することができる。

10 即ち、nチャネル導電型電界効果トランジスタのチャネル形成領域に引っ張り応力、pチャネル導電型電界効果トランジスタのチャネル形成領域に圧縮応力が別々に与えられる結果、第2図のように、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタの各チャネル形成領域に働く応力の大きさに応じて、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタで
15 共にドレイン電流が増加する。

また、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのチャネル形成領域に働く応力を個別に制御できるため、nチャネル導電型電界効果トランジスタとpチャネル導電型電界効果トランジスタとのドレイン電流比を自由に制御できる。
20

なお、ここでいくつかの用語について定義する。

電界効果トランジスタのチャネル形成領域に働く引っ張り応力とは、チャネル形成領域がシリコン(Si)の場合、Siの格子定数が平衡状態より大きくなる応力を言う。

25 電界効果トランジスタのチャネル形成領域に働く圧縮応力とは、チャネル形成領域がシリコン(Si)の場合、Siの格子定数が平衡状態よ

り小さくなる応力を言う。

膜がもつ引っ張り応力とは、電界効果トランジスタのチャネル形成領域に引っ張り応力を発生させる応力を言う。

膜がもつ圧縮応力とは、電界効果トランジスタのチャネル形成領域に
5 圧縮応力を発生させる応力を言う。

従って、本発明の主旨は、チャネル形成領域におけるシリコン原子の原子間距離が、nチャネル導電型電界効果トランジスタとpチャネル導電型電界効果トランジスタとで異なっている、言い換えると歪みの大きさが異なっていること、更にはシリコン原子間距離が、pチャネル導電
10 型電界効果トランジスタのチャネル形成領域よりも、nチャネル導電型電界効果トランジスタのチャネル形成領域で大きいことを意味している。

図面の簡単な説明

第1図は、本発明の実施形態1の半導体装置の概略構成を示す模式的
15 断面図である。

第2図は、電流駆動能力と膜応力との関係を示す特性図である。

第3図は、第1図の半導体装置を製造するプロセスフロー((a),(b)及び(c)は模式的断面図)である。

第4図は、本発明の実施形態2の半導体装置を製造するプロセスフロー((a),(b),(c)及び(d)は模式的断面図)である。
20

第5図は、本発明の実施形態3の半導体装置を製造するプロセスフロー((a),(b)及び(c)は模式的断面図)である。

第6図は、本発明の実施形態4の半導体装置を製造するプロセスフロー((a),(b)及び(c)は模式的断面図)である。

25 第7図は、本発明の実施形態5の半導体装置の概略構成を示す模式的断面図である。

第 8 図は、本発明の実施形態 6 の半導体装置の概略構成を示す模式的断面図である。

第 9 図は、本発明の実施形態 7 の半導体装置の概略構成を示す模式的断面図である。

5 第 10 図は、本発明の実施形態 8 の半導体装置の概略構成を示す模式的断面図である。

第 11 図は、本発明の実施形態 3 の半導体装置の製造において、斜めインプラ工程を示す模式的断面図である。

10 発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

(実施形態 1)

15 本実施形態 1 では、電源電圧が $1 \sim 1.5 \text{ V}$ 、ゲート長が $0.1 \sim 0.14 \mu\text{m}$ 程度の相補型 MISFET を有する半導体装置に本発明を適用した例について説明する。

第 1 図は本発明の実施形態 1 である半導体装置の概略構成を示す模式的断面図であり、第 2 図は電流駆動能力と膜応力との関係を示す特性図
20 であり、第 3 図は第 1 図の半導体装置を製造するプロセスフロー((a), (b) 及び (c) は模式的断面図) である。第 1 図及び第 3 図において、向かって左側が n チャネル導電型 MISFET であり、右側が p チャネル導電型 MISFET である。

第 1 図に示すように、本実施形態の半導体装置は、半導体基板として
25 例えば単結晶シリコンからなる p 型シリコン基板 1 を主体に構成されている。p 型シリコン基板 1 の回路形成面 (一主面) は第 1 の素子形成領

域及び第2の素子形成領域を有し、この第1の素子形成領域及び第2の素子形成領域は素子間絶縁分離領域である例えば浅溝アイソレーション (S G I : S h a l l o w G r o o v e I s o l a t i o n) 領域4によって互いに区画されている。第1の素子形成領域にはp型ウエル領域2及びnチャネル導電型M I S F E Tが形成され、第2の素子形成領域にはn型ウエル領域3及びpチャネル導電型M I S F E Tが形成されている。浅溝アイソレーション領域4は、p型シリコン基板1の回路形成面に浅溝を形成し、その後、浅溝の内部に絶縁膜（例えば酸化シリコン膜）を選択的に埋め込むことによって形成される。

10 nチャネル導電型M I S F E Tは、主に、チャネル形成領域、ゲート絶縁膜5、ゲート電極6、サイドウォールスペーサ9、ソース領域及びドレイン領域を有する構成となっている。ソース領域及びドレイン領域は、n型半導体領域（エクステンション領域）7及びn型半導体領域10を有する構成となっている。n型半導体領域7はゲート電極6に対して自己整合で形成され、n型半導体領域10はゲート電極6の側壁に設けられたサイドウォールスペーサ9に対して自己整合で形成されている。n型半導体領域10はn型半導体領域7よりも高い不純物濃度で形成されている。

20 pチャネル導電型M I S F E Tは、主に、チャネル形成領域、ゲート絶縁膜5、ゲート電極6、サイドウォールスペーサ9、ソース領域及びドレイン領域を有する構成となっている。ソース領域及びドレイン領域は、p型半導体領域（エクステンション領域）8及びp型半導体領域11を有する構成となっている。p型半導体領域8はゲート電極6に対して自己整合で形成され、p型半導体領域11はゲート電極6の側壁に設けられたサイドウォールスペーサ9に対して自己整合で形成されている。p型半導体領域11はp型半導体領域8よりも高い不純物濃度で形成さ

れている。

ゲート電極 6、n 型半導体領域 10、p 型半導体領域 11 の夫々の表面には、低抵抗化を図るためのシリサイド層（金属・半導体反応層）12 が形成されている。p 型シリコン基板 1 の回路形成面上には、例えば
5 酸化シリコン膜からなる層間絶縁膜 15 が形成されている。

n チャネル導電型 MISFET と層間絶縁膜 15 との間には、p 型シリコン基板 1 の回路形成面に引っ張り応力を発生させる膜として第 1 の窒化膜である例えば窒化シリコン膜 13 が形成されている。p チャネル導電型 MISFET と層間絶縁膜 15 との間には、p 型シリコン基板 1
10 の回路形成面に圧縮応力を発生させる膜として第 2 の窒化膜である例えば窒化シリコン膜 14 が形成されている。本実施形態において、窒化シリコン膜 13 は p 型シリコン基板 1 の回路形成面上に n チャネル導電型 MISFET を覆うようにして選択的に形成され、窒化シリコン膜 14 は p 型シリコン基板 1 の回路形成面上に p チャネル導電型 MISFET
15 を覆うようにして選択的に形成されている。

窒化シリコン膜 13 及び 14 は、例えばプラズマ CVD 法によって形成されている。この窒化シリコン膜 13 及び 14 は、その形成条件（反応ガス、圧力、温度、高周波電力等）を変えることで、p 型シリコン基板 1 の回路形成面に発生させる応力を制御することが可能である。本実施形態において、窒化シリコン膜 13 は、例えば膜形成時の高周波電力を 300～400 W と低電力化して、p 型シリコン基板 1 の回路形成面に発生させる応力を引っ張り方向に制御したものである。窒化シリコン膜 14 は、例えば膜形成時の高周波電力を 600～700 W と高電力化して、p 型シリコン基板 1 の回路形成面に発生させる応力を圧縮方向に
20 制御したものである。
25

このようにして形成された窒化シリコン膜 13 には +700～+80

0 MPa 程度の引っ張り応力が存在し、窒化シリコン膜 14 には -900 ~ -1000 MPa 程度の圧縮応力が存在するため、nチャネル導電型 MISFET のチャネル形成領域には引っ張り応力が発生し、pチャネル導電型 MISFET のチャネル形成領域には圧縮応力が発生する。

- 5 この結果、第 2 図に示すように、窒化シリコン膜 13 及び 14 を被膜していない場合と比較して、nチャネル導電型 MISFET のドレイン電流は 10 ~ 15 % 向上し、pチャネル導電型 MISFET のドレイン電流は 15 ~ 20 % 向上した。なお、これらの応力は、前述のように、主として、チャネル形成領域のドレイン電流 (I_d) が流れる方向 (ゲート長方向) と同じ向きにかかる。
- 10

次に、本実施形態 1 の半導体装置の製造方法を第 3 図を用いて説明する。

- まず、比抵抗 $10 \Omega \text{cm}$ を有する単結晶シリコンからなる p 型シリコン基板 1 (以下、単に p 型基板と呼ぶ) を準備し、その後、p 型基板 1
- 15 の回路形成面に p 型ウエル領域 2 及び n 型ウエル領域 3 を選択的に形成する。

- 次に、p 型基板 1 の回路形成面に、第 1 の素子形成領域及び第 2 の素子形成領域 (活性領域) を区画する素子間分離領域として、浅溝アイソレーション領域 4 を形成する。この浅溝アイソレーション領域 4 は、p
- 20 型基板 1 の回路形成面に浅溝 (例えば $300 [\text{nm}]$ 程度の深さの溝) を形成し、その後、p 型基板 1 の回路形成面上に例えば酸化シリコン膜からなる絶縁膜を CVD 法で形成し、その後、絶縁膜が浅溝の内部のみ残るように CMP (化学的機械研磨: Chemical Mechanical Polishing) 法で平坦化することによって形成される。

- 25 次に、熱処理を施して p 型基板 1 の回路形成面の素子形成領域に例えば厚さが $2 \sim 3 \text{ nm}$ 程度の酸化シリコン膜からなるゲート絶縁膜 5 を形

成し、その後、p型基板1の回路形成面上の全面に例えば150～200 nm程度の厚さの多結晶シリコン膜をCVD法で形成し、その後、多結晶シリコン膜にパターンニングを施してゲート電極6を形成する。多結晶シリコン膜には、抵抗値を低減する不純物とその堆積中又は堆積後に導入される。

次に、ゲート電極6が形成されていないp型ウエル領域2の部分に不純物として例えば砒素(As)をイオン打込み法で選択的に導入して一対のn型半導体領域(エクステンション領域)7を形成し、その後、ゲート電極6が形成されていないn型ウエル領域3の部分に不純物として例えば二フッ化ボロン(BF₂)をイオン打込み法で選択的に導入して一対のp型半導体領域(エクステンション領域)8を形成する。n型半導体領域7の形成は、pMIS形成領域をフォトレジストマスクで覆った状態で行なう。また、p型半導体領域8の形成は、nMIS形成領域をフォトレジストマスクで覆った状態で行なう。砒素の導入は、加速エネルギー1～5 KeV、ドーズ量 $1 \sim 2 \times 10^{15} / \text{cm}^2$ の条件で行なう。また、二フッ化ボロンの導入は、加速エネルギー1～5 KeV、ドーズ量 $1 \sim 2 \times 10^{15} / \text{cm}^2$ の条件で行なう。ここまでの工程を第3図(a)に示す。

次に、第3図(b)に示すように、ゲート電極6の側壁に例えばゲート長方向の膜厚が50～70 nm程度のサイドウォールスペーサ9を形成する。サイドウォールスペーサ9は、p型基板1の回路形成面上の全面に例えば酸化シリコン膜又は窒化シリコン膜からなる絶縁膜をCVD法で形成し、その後、絶縁膜にRIE(Reactive Ion Etching)等の異方性エッチングを施すことによって形成される。

次に、ゲート電極6及びサイドウォールスペーサ9が形成されていないp型ウエル領域2の部分に不純物として例えば砒素(As)をイオン

打込み法で選択的に導入して一对のn型半導体領域10を形成し、その後、ゲート電極6及びサイドウォールスペーサ9が形成されていないn型ウェル領域3の部分に不純物として例えば二フッ化ボロン(BF_2)をイオン打込み法で選択的に導入して一对のp型半導体領域11を形成する。n型半導体領域10の形成は、pMIS形成領域をフォトレジストマスクで覆った状態で行なう。また、p型半導体領域11の形成は、nMIS形成領域をフォトレジストマスクで覆った状態で行なう。砒素の導入は、加速エネルギー35～45 KeV、ドーズ量 $2 \sim 4 \times 10^{15} / \text{cm}^2$ の条件で行なう。また、二フッ化ボロンの導入は、加速エネルギー40～50 KeV、ドーズ量 $2 \sim 4 \times 10^{15} / \text{cm}^2$ の条件で行なう。

この工程において、n型半導体領域7及びn型半導体領域10からなるソース領域及びドレイン領域が形成される。また、p型半導体領域8及びp型半導体領域11からなるソース領域及びドレイン領域が形成される。

次に、自然酸化膜等を除去してゲート電極6及び半導体領域(10, 11)の表面を露出させた後、これらの表面上を含むp型基板1の回路形成面上の全面に高融点金属膜として例えばコバルト(Co)膜をスパッタ法で形成し、その後、熱処理を施し、ゲート電極6のシリコン(Si)とコバルト膜のCoとを反応させてゲート電極6の表面にシリサイド(CoSi_x)層12を形成すると共に、半導体領域(10, 11)のSiとコバルト膜のCoとを反応させて半導体領域の表面にシリサイド(CoSi_x)層12を形成し、その後、シリサイド層12が形成された領域以外の未反応のコバルト膜を選択的に除去し、その後、熱処理を施してシリサイド層12を活性化する。

次に、p型基板1の回路形成面上の全面に、絶縁膜として例えば10

0 ~ 120 nm程度の厚さの窒化シリコン膜13をプラズマCVD法で形成する。窒化シリコン膜13の形成は、例えば高周波電力350 ~ 400 W、或いはチャンバー内圧力300 ~ 350 Torrの条件で行なう。

- 5 次に、フォトエッチング技術を用いて窒化シリコン膜13にパターンニングを施し、第3図(c)に示すように、nチャネル導電型MISFETを選択的に覆う窒化シリコン膜13を形成する。即ち、pチャネル導電型MISFET上における窒化シリコン膜13は除去する。このようにして形成された窒化シリコン膜13は、nチャネル導電型MISFETのチャネル形成領域に選択的に引っ張り応力を発生させることができる。

- 10 次に、p型基板1の回路形成面上の全面に、絶縁膜として例えば100 nm程度の厚さの窒化シリコン膜14をプラズマCVD法で形成する。窒化シリコン膜14の形成は、例えば高周波電力600 ~ 700 W、或いはチャンバー内圧力5 ~ 10 Torrの条件で行なう。

- 15 次に、フォトエッチング技術を用いて窒化シリコン膜14にパターンニングを施し、第3図(c)に示すように、pチャネル導電型MISFETを選択的に覆う窒化シリコン膜14を形成する。即ち、nチャネル導電型MISFET上における窒化シリコン膜14は除去する。このようにして形成された窒化シリコン膜14は、pチャネル導電型MISFETのチャネル形成領域に選択的に圧縮応力を発生させることができる。

- 20 次に、p型基板1の回路形成面上の全面に例えば酸化シリコン膜からなる層間絶縁膜15をプラズマCVD法で形成し、その後、層間絶縁膜15の表面をCMP法で平坦化する。この後は、公知の技術でコンタクト孔、メタル配線層を形成して完成する。

窒化シリコン膜13及び14の加工方法については、等方性ドライエ

ツチング、或いはウェットエッチングを使用する。異方性ドライエッチングの場合には、ゲート段差部に窒化シリコン膜が残り、応力の効果が多少弱まるが、これでも良い。

本実施形態 1 では、ゲート電極 6 に直接接する窒化シリコン膜で応力を制御しているため、最も効率が良い。特に、ソース領域及びドレイン領域の不純物活性化等の高温熱処理が完了した後に応力制御用の窒化シリコン膜を形成するため、膜応力をほぼそのまま残存できる。更に、電流駆動能力向上と共に、広いアイソレーション領域等における窒化シリコン膜を除去できるため、アイソレーション領域における寄生容量を低減できる。窒化シリコン膜は酸化シリコン膜と比較して誘電率が高い。

なお、本実施形態 1 においては、窒化シリコン膜 1 4 を省略しても良い。むしろ、p チャネル導電型 M I S F E T の電流駆動能力向上の効果は小さくなるが、その分製造工程を簡略化することができる。また、窒化シリコン膜 1 3 は枚葉熱 C V D 法で形成しても良いし、窒化シリコン膜 1 3 及び 1 4 共に圧縮応力或いは引っ張り応力が発生するようにし、その大きさが異なるだけでも良い。

要するに、本実施形態 1 のポイントは、n チャネル導電型及び p チャネル導電型 M I S F E T において少なくとも一方のチャネル形成領域に発生する応力の向き、大きさをドレイン電流が増加する方向に変えることである。

また、本実施形態 1 において、窒化シリコン膜 1 3 の厚さを厚めに設定すると、窒化シリコン膜 1 4 の加工時のオーバーエッチングによる膜減を防げる。なお、両膜の厚さは何ら規定されるものではない。

更に、窒化シリコン膜の形成方法を変えて膜応力を変える方法としては、前記実施形態の高周波電力を変える方法の他に、下記の方法があげられる。

1) 原料ガスを変える方法として、窒化シリコン膜 1 3 の形成には SiH_4 と NH_3 と N_2 を使用し、窒化シリコン膜 1 4 の形成には NH_3 を除いて SiH_4 と N_2 を使用する、

2) 形成温度を変える方法として、窒化シリコン膜 1 4 の形成時よりも、
5 窒化シリコン膜 1 3 の形成時の温度を高くする、

3) 圧力を変える方法として、窒化シリコン膜 1 4 の形成時よりも、窒化シリコン膜 1 3 の形成時の圧力を高くする、

などである。むろん、前記いずれの組み合わせを複合させてもよい。要はいかに窒化シリコン膜 1 3 を引っ張り応力側に、窒化シリコン膜 1 4
10 を圧縮応力側にするかが重要である。

また、枚葉熱 CVD 法を用いた窒化膜の形成方法としては、膜形成時の圧力を下げるほど、また温度を高くするほど膜応力を引っ張り側にでき、窒化シリコン膜 1 3 に好適である。

(実施形態 2)

15 本実施形態 2 は、前記実施形態 1 の製造工程を簡略化することを狙ったものである。第 4 図は、本発明の実施形態 2 の半導体装置を製造するプロセスフロー((a), (b), (c) 及び (d) は模式的断面図)である。

第 4 図 (a) に示すように、前記実施形態 1 と同様のプロセスで、n チャネル導電型及び p チャネル導電型 MISFET 及びシリサイド層 1
20 2 を形成する。

次に、p 型基板 1 の回路形成面上の全面に、絶縁膜として例えば 100 ~ 120 nm 程度の厚さの窒化シリコン膜 1 3 をプラズマ CVD 法で形成する。窒化シリコン膜 1 3 の形成は、例えば高周波電力 350 ~ 400 W の条件で行なう。

25 次に、p 型基板 1 の回路形成面上の全面に、絶縁膜として酸化シリコン膜 1 3 A を形成する。この酸化シリコン膜 1 3 A は、例えば P-T E

OS 或いは O_3 -TEOS 酸化膜である。

次に、フォトエッチング技術を用いて酸化シリコン膜 13A 及び窒化シリコン膜 13 に順次パターンニングを施し、第 4 図 (b) に示すように、n チャネル導電型 MISFET を選択的に覆う窒化シリコン膜 13 及び酸化シリコン膜 13A を形成する。即ち、p チャネル導電型 MISFET 上における窒化シリコン膜 13 及び酸化シリコン膜 13A は除去する。このようにして形成された窒化シリコン膜 13 は、n チャネル導電型 MISFET のチャネル形成領域に選択的に引っ張り応力を発生させることができる。

次に、第 4 図 (c) に示すように、p 型基板 1 の回路形成面上の全面に、絶縁膜として例えば 100 nm 程度の厚さの窒化シリコン膜 14 をプラズマ CVD 法で形成する。窒化シリコン膜 14 の形成は、例えば高周波電力 600 ~ 700 W の条件で行なう。

次に、フォトエッチング技術を用いて窒化シリコン膜 14 にパターンニングを施し、第 4 図 (d) に示すように、p チャネル導電型 MISFET を選択的に覆う窒化シリコン膜 14 を形成する。即ち、n チャネル導電型 MISFET 上における窒化シリコン膜 14 は除去する。このようにして形成された窒化シリコン膜 14 は、p チャネル導電型 MISFET のチャネル形成領域に選択的に圧縮応力を発生させることができる。

この工程において、酸化シリコン膜 13A が窒化シリコン膜 14 の加工時のエッチングストッパーとなっている。即ち、窒化シリコン膜 14 の加工時のオーバーエッチングによる窒化シリコン膜 13 の薄膜化を抑制することができる。

次に、第 4 図 (d) に示すように、p 型基板 1 の回路形成面上の全面に例えば酸化シリコン膜からなる層間絶縁膜 15 をプラズマ CVD 法で形成し、その後、層間絶縁膜 15 の表面を CMP 法で平坦化する。この

後は、公知の技術でコンタクト孔、メタル配線層を形成して完成する。

本実施形態 2 によれば、前述の実施形態 1 の効果に加えて、窒化シリコン膜 1 4 の加工の制御性を大きく向上できる。この結果、窒化シリコン膜 1 3 及び 1 4 の膜厚を均一、かつ薄膜にできる。

5 (実施形態 3)

本実施形態 3 では、電源電圧が 1 ~ 1.5 V、ゲート長が 0.1 ~ 0.14 μm 程度の相補型 M I S F E T を有する半導体装置に本発明を適用した例について説明する。

本実施形態 3 は、前記実施形態 1 の製造工程を簡略化することを狙ったものである。第 5 図は、本発明の実施形態 3 の半導体装置を製造する
10 プロセスフロー ((a), (b) 及び (c) は模式的断面図) である。第 5 図において、向かって左側が n チャネル導電型 M I S F E T であり、右側が p チャネル導電型 M I S F E T である。

第 5 図 (a) に示すように、前記実施形態 1 と同様のプロセスで、n
15 チャネル導電型及び p チャネル導電型 M I S F E T 及びシリサイド層 1 2 を形成した後、p 型基板 1 の回路形成面上の全面に、絶縁膜として p チャネル導電型 M I S F E T のチャネル形成領域に圧縮応力を発生させる窒化シリコン膜 1 6 をプラズマ C V D 法で形成する。窒化シリコン膜 1 6 の形成は、例えば高周波電力 350 ~ 400 W の条件で行なう。

20 次に、p チャネル導電型 M I S F E T 上を覆い、かつ n チャネル導電型 M I S F E T 上に開口を有するレジスト膜 R を p 型基板 1 の回路形成面上に形成し、その後、第 5 図 (b) に示すように、レジスト膜 R を不純物導入用マスクとして使用して、レジスト膜 R から露出する窒化シリコン膜 1 6 中に、A r、G e、S i、A s、S b、I n、B F₂ 等の不
25 純物をイオン打込み法で導入する。なお、図中の符号 1 7 は、これらの不純物が導入された窒化シリコン膜である。

次に、レジスト膜Rを除去し、その後、第5図(c)に示すように、p型基板1の回路形成面上の全面に例えば酸化シリコン膜からなる層間絶縁膜15をプラズマCVD法で形成し、その後、層間絶縁膜15の表面をCMP法で平坦化する。この後は、公知の技術でコンタクト孔、メタル配線層を形成して完成する。

このようにして得られたpチャネル導電型MISFET上の窒化シリコン膜16は、 $-800 \sim -1000 \text{ MPa}$ の圧縮応力を有し、pチャネル導電型MISFETのチャネル形成領域に圧縮応力を発生させる。一方、nチャネル導電型MISFET上の窒化シリコン膜17の応力は著しく緩和され、ほぼゼロの状態になっている。即ち、nチャネル導電型MISFETのチャネル形成領域における圧縮応力は緩和されている。この結果、窒化シリコン膜16を被膜していない場合と比較して、pチャネル導電型MISFETのドレイン電流は15~20%向上した。この時、nチャネル導電型MISFETのドレイン電流は、高圧縮応力の窒化シリコン膜16を適用したにもかかわらず、ほとんど低下していない。

これは、イオン注入の衝撃により窒化シリコン膜16中の結晶性が破壊されたことによるものである。従って、窒化シリコン膜の断面を観察すると明らかに破壊された跡が残っている。なお、本実施形態では不純物をnチャネル導電型MISFET上の窒化シリコン膜のみに導入したが、明確な緩和効果に差があれば、不純物自身は、n、pチャネル導電型MISFET上の両方にあってもよい。但し、このときはnチャネル導電型MISFET上の窒化シリコン膜中の不純物量が大きい、或いはイオン注入によって破壊された領域が大きいことが必要である。また、この破壊領域の大きさ、つまり応力緩和効果は、導入する不純物の濃度だけでなく、エネルギーの大きさに大きく左右される。例えば本実施形

態では、nチャネル導電型MISFET上の窒化シリコン膜中に導入される不純物のエネルギーが、pチャネル導電型MISFET上の窒化シリコン膜中に導入される不純物のエネルギーよりも大きいだけでも同様の効果を得ることができる。なお、導入された不純物の大部分は窒化シリコン膜16中に存在していることが望ましい。これは、イオン注入の損傷が下部のMISFETに悪影響を与える場合があるからである。

また、本実施形態では窒化シリコン膜16の被膜と、選択的イオン注入工程後、素子が完成するまでの間の熱処理工程は、700℃が最高温度であった。この程度の比較的低温の熱処理であれば、イオン注入により破壊された窒化シリコン膜が再び結晶化することはほとんどなかった。従って、イオン注入後の応力の状態が、残留応力として素子完成後にもほぼ維持されている。

本実施形態3によると、窒化シリコン膜16への不純物のイオン注入により、膜中の応力を緩和、或いは逆向きにできることから、本方式でも実施形態1と同様の効果を得ることができる。これにより、前述の実施形態1と比較して、窒化シリコン膜の被膜工程が一回で済むため、第2の窒化シリコン膜の被膜工程とその加工工程を省略でき、製造工程を簡略化できる。むろん、イオン注入により膜応力を変えるのは、pチャネル導電型MISFET側でもよい。この場合、p型基板1の回路形成面上の全面に、nチャネル導電型MISFETのチャネル形成領域に引っ張り応力を発生させる窒化シリコン膜を形成した後、pチャネル導電型MISFET上における窒化シリコン膜に前述の不純物をイオン打込み法で選択的に導入する。また、窒化シリコン膜中にイオン注入するイオン種（不純物）としては、比較的重いイオンの方が、低濃度イオン注入で本効果をあげることができ、効率が良いが、何らイオン種を限定するものではない。

また、本実施形態での応力緩和用のイオン注入としては、シリコン基板（ウェーハ）に対して垂直のイオン注入を適用した場合を示したが、第 11 図（模式的断面図）に示したように、斜めインプラ注入を適用しても良い。この場合、M I S F E T のゲート電極を覆っている窒化シリコン膜 16 のゲート側壁部分（段差部分）にも不純物を導入できる。この結果、より一層の応力緩和効果を得ることができた。

（実施形態 4）

本実施形態 4 は、本発明の実施形態 1 の半導体装置の製造方法の変形例である。これを第 6 図（（a）、（b）及び（c）は模式的断面図）を用いて説明する。

第 6 図（a）に示すように、前記実施形態 1 と同様のプロセスで、n チャネル導電型 M I S F E T 及び p チャネル導電型 M I S F E T 及びシリサイド層 12 を形成する。

次に、p 型基板 1 の回路形成面上の全面に、絶縁膜として例えば 100 ~ 120 nm 程度の厚さの窒化シリコン膜 13 をプラズマ C V D 法で形成する。窒化シリコン膜 13 の形成は、例えば高周波電力 350 ~ 400 W の条件で行なう。

次に、フォトリソ技術を用いて窒化シリコン膜 13 にパターニングを施し、第 6 図（b）に示すように、n チャネル導電型 M I S F E T を選択的に覆う窒化シリコン膜 13 を形成する。即ち、p チャネル導電型 M I S F E T 上における窒化シリコン膜 13 は除去する。このようにして形成された窒化シリコン膜 13 は、n チャネル導電型 M I S F E T のチャネル形成領域に選択的に引っ張り応力を発生させることができる。

次に、第 6 図（c）に示すように、p 型基板 1 の回路形成面上の全面に、絶縁膜として例えば 100 ~ 120 nm 程度の厚さの窒化シリコン

膜 1 4 をプラズマ C V D 法で形成する。窒化シリコン膜 1 4 の形成は、例えば高周波電力 6 0 0 ~ 7 0 0 W の条件で行なう。

次に、p 型基板 1 の回路形成面上の全面に例えば酸化シリコン膜からなる層間絶縁膜 1 5 をプラズマ C V D 法で形成し、その後、層間絶縁膜 5 1 5 の表面を C M P 法で平坦化する。この後は、公知の技術でコンタクト孔、メタル配線層を形成して完成する。

本実施形態 4 において、p チャネル導電型 M I S F E T 上には窒化シリコン膜 1 4 のみが存在している。一方、n チャネル導電型 M I S F E T 上には窒化シリコン膜 1 3 及び 1 4 が存在している。この結果、p チャネル導電型 M I S F E T のチャネル形成領域には大きな圧縮応力が発生するが、n チャネル導電型 M I S F E T のチャネル形成領域に発生する応力は緩和されている。本実施形態では、窒化シリコン膜を被膜していない場合と比較して、p チャネル導電型 M I S F E T のドレイン電流のみを 1 5 ~ 2 0 % 向上させることができた。この時、n チャネル導電型 M I S F E T のドレイン電流はほとんど変化していない。

なお、n チャネル導電型 M I S F E T のドレイン電流を主に増加させたい場合には、先に窒化シリコン膜 1 4 を p チャネル導電型 M I S F E T 上に選択的に形成し、その後、窒化シリコン膜 1 3 を全面に形成すればよい。

20 本実施形態の工程を第 1 及び第 2 実施形態と比較すると、n チャネル導電型 M I S F E T 上における窒化シリコン膜 1 4 をフォトリソで除去する工程が省略されている。この結果、第 1 及び第 2 実施形態よりも工程を簡略化できる。

25 なお、本実施形態においては、窒化シリコン膜 1 3 及び 1 4 の膜厚、及びその膜応力の大きさを定めることで、n チャネル導電型及び p チャネル導電型 M I S F E T のドレイン電流を同時に向上させることもでき

る。例えば、上記実施形態において、窒化シリコン膜 13 の膜厚を 130 ~ 150 nm、そして窒化シリコン膜 14 の膜厚を 50 ~ 80 nm にすることにより、窒化シリコン膜 14 によって n チャネル導電型 MISFET のドレイン電流向上効果が小さくなることもない。

5 (実施形態 5)

第 7 図は、本発明の実施形態 5 の半導体装置の概略構成を示す模式的断面図であり、図中 23 は、引っ張り応力をもつ塗布酸化膜 (SOG (Spin On Glass) 膜) である。

本実施形態 5 の半導体装置は、応力を制御する膜、構造を変えたものとして、前記応用例の何れかを組み合わせたものである。例えば、第 7 図に示すように、ゲート電極 6 の直上を含む p 型基板 1 の回路形成面の全面に、自己整合コンタクトプロセス用の、圧縮応力をもつ窒化シリコン膜 19 を形成し、その後、窒化シリコン膜 19 上に引っ張り応力をもつ SOG 膜 23 を形成し、その後、SOG 膜 23 にパターンニングを施して、n チャネル導電型 MISFET 上に SOG 膜 23 を選択的に残したものである。n チャネル導電型 MISFET 側では、窒化シリコン膜 19 の圧縮応力を SOG 膜 23 の引っ張り応力で打ち消している。

(実施形態 6)

第 8 図は、本発明の実施形態 6 の半導体装置の概略構成を示す断面図であり、図中 20 は圧縮応力をもつ窒化シリコン膜からなるサイドウォールスペーサ、21 は引っ張り応力をもつゲート電極、22 は圧縮応力をもつゲート電極である。

本実施形態 6 の半導体装置は、第 8 図に示すように、前記応力を制御する膜、構造を変えたものであり、前記実施形態 1 におけるサイドウォールスペーサ 9 を圧縮応力をもつ窒化シリコン膜からなるサイドウォールスペーサ 20 に変更したり、また、ゲート電極 6 を引っ張り応力をも

つ材料からなるゲート電極 2 1 に変更したり、また、ゲート電極 6 を圧縮応力をもつ材料からなるゲート電極 2 2 に変更したりする（構造変更を含む）ことを組み合わせて応力を制御するものである。

例えば、前記応力を制御する膜、構造を変えたものとして、ゲート電極 6 の材料の変更の組み合わせで応力を制御する場合の一例として、一方のゲート電極 6 に特別に不純物（Ge, Si 他）を多く導入することがあげられる。また、ゲート電極 6 はポリメタル構造でも良い。

また、応力を制御する膜、構造を変えたものとして、nチャネル導電型MISFET、pチャネル導電型MISFETでゲート絶縁膜材料を変えても良い。例えば、nチャネル導電型MISFET及びpチャネル導電型MISFETの何れかに窒化シリコン膜と酸化シリコン膜の積層膜を適用する等である。

（実施形態 7）

第 9 図は、本発明の実施形態 7 の半導体装置の概略構成を示す模式的断面図である。本実施形態の半導体装置は、第 9 図に示すように、応力を制御する膜、構造を変えたものとして、前記実施形態 1 と同様に層間絶縁膜の一部としての窒化シリコン膜を適用するが、nチャネル導電型MISFETのゲート電極 6 上に引っ張り応力をもつ窒化シリコン膜 1 3 を、pチャネル導電型MISFETのゲート電極 6 上に圧縮応力をもつ窒化シリコン膜 1 4 を直接形成するのではなく、層間絶縁膜 1 5 の表面を平坦化した後に、nチャネル導電型MISFETのゲート電極 6 上における層間絶縁膜 1 5 上に引っ張り応力をもつ窒化シリコン膜 2 4 をpチャネル導電型MISFETのゲート電極 6 上における層間絶縁膜 1 5 上に圧縮応力をもつ窒化シリコン膜 2 5 を形成したものである。

このように構成した場合は、一方の窒化シリコン膜の除去が容易になる。

(実施形態 8)

第 10 図は、本発明の実施形態 8 の半導体装置の概略構成を示す模式的断面図である。

本実施形態 8 の半導体装置は、S O I (Silicon On Insulator) 5 基板 30 を用いた S O I 構造となっている。S O I 基板 30 は、例えば、支持基板 30 A と、この支持基板 30 A 上に設けられた絶縁層 30 B と、この絶縁層 30 B 上に設けられた半導体層 30 C とを有する構成となっている。支持基板 30 A は例えば単結晶シリコンからなる p 型シリコン基板で形成され、絶縁層 30 B は例えば酸化シリコン膜で形成され、半 10 導体層 30 C は例えば単結晶シリコンからなる p 型半導体で形成されている。半導体層 30 C は複数個の素子形成部に分割され、各素子形成部に n チャネル導電型 M I S F E T 又は p チャネル導電型 M I S F E T が形成されている。n チャネル導電型 M I S F E T が形成される半導体層 30 C の素子形成部には p 型ウエル領域が形成され、p チャネル導電型 15 M I S F E T が形成される半導体層 30 C の素子形成部には n 型ウエル領域が形成されている。

S O I 構造は半導体層 30 C の厚さが薄いため、一層応力の効果が大 20 きい。また、S O I 構造の場合には、絶縁層 (埋め込み層) 30 B の厚さを変えることや絶縁層 30 B に不純物を選択的に導入することによって応力制御を行なうことができる。この結果、本発明の効果と共に S O I 構造のメリットを享受できる。

また、S R A M (Static Random Access Memory)、D R A M (D 25 ynamic Random Access Memory)、フラッシュ等のメモリが含まれる製品において、少なくともそのメモリセルの周辺回路やロジック回路部分に本発明の構造を適用すると、より高性能のメモリ製品を得ることができる。

以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

- 5 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によれば、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタの電流駆動能力の向上を図ることができる。

- 10 また、本発明によれば、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのうち、一方のトランジスタの電流駆動能力の低下を抑制し、他方のトランジスタの電流駆動能力の向上を図ることができる。

- 15 また、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのチャネル形成領域に働く応力を個別に制御できるので、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのドレイン電流比をある程度自由に設定できる。

産業上の利用可能性

- 20 以上のように、本発明に係わる半導体装置は、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタを有する半導体装置に適用して有益であり、また、メモリIC(Integrated Circuit)、ロジックIC、若しくはメモリ機能及びロジック機能を有する混成ICなどの半導体製品に適用して有用である。

請 求 の 範 囲

1. 半導体基板の一主面の第1の領域にチャンネル形成領域が構成された
nチャンネル導電型電界効果トランジスタと、前記半導体基板の一主面の
5 第1の領域と異なる第2の領域にチャンネル形成領域が構成されたpチャ
ネル導電型電界効果トランジスタとを有する半導体装置であって、

前記nチャンネル導電型電界効果トランジスタのチャンネル形成領域に発
生する内部応力と、前記pチャンネル導電型電界効果トランジスタのチャ
ネル形成領域に発生する内部応力とが、各々で異なっていることを特徴
10 とする半導体装置。

2. 半導体基板の一主面の第1の領域にチャンネル形成領域が構成された
nチャンネル導電型電界効果トランジスタと、前記半導体基板の一主面の
第1の領域と異なる第2の領域にチャンネル形成領域が構成されたpチャ
ネル導電型電界効果トランジスタとを有する半導体装置であって、

15 前記nチャンネル導電型電界効果トランジスタのチャンネル形成領域にお
けるシリコン原子間隔と、前記pチャンネル導電型電界効果トランジスタ
のチャンネル形成領域におけるシリコン原子間隔の大きさ、或いは各々の
歪みの大きさが異なることを特徴とする半導体装置。

3. 半導体基板の一主面の第1の領域にチャンネル形成領域が構成された
20 nチャンネル導電型電界効果トランジスタと、前記半導体基板の一主面の
第1の領域と異なる第2の領域にチャンネル形成領域が構成されたpチャ
ネル導電型電界効果トランジスタとを有する半導体装置であって、

前記nチャンネル導電型電界効果トランジスタのチャンネル形成領域にお
けるシリコン原子間隔が、前記pチャンネル導電型電界効果トランジスタ
25 のチャンネル形成領域におけるシリコン原子間隔よりも広いことを特徴と
する半導体装置。

4. 請求の範囲第1項に記載の半導体装置において、

前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力は引っ張り応力であり、

5 前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力は圧縮応力であることを特徴とする半導体装置。

5. 請求の範囲第1項に記載の半導体装置において、

10 前記nチャネル導電型電界効果トランジスタ及び前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力が圧縮応力の場合、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する圧縮応力の方が前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する圧縮応力よりも大きいことを特徴とする半導体装置。

6. 請求の範囲第1項に記載の半導体装置において、

15 前記nチャネル導電型電界効果トランジスタ及び前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力が引っ張り応力の場合、前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する引っ張り応力の方が前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する引っ張り応力よりも大きいことを特徴とする半導体装置。

20 7. 半導体基板の一主面の第1の領域にチャネル形成領域が構成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の一主面の第1の領域と異なる第2の領域にチャネル形成領域が構成されたpチャネル導電型電界効果トランジスタとを有する半導体装置であって、

25 前記nチャネル導電型電界効果トランジスタのチャネル形成領域に引っ張り応力を発生させる膜、及び前記pチャネル導電型電界効果トランジスタのチャネル形成領域に圧縮応力を発生させる膜のうち、少なくとも

も一方の膜を有することを特徴とする半導体装置。

8. 請求の範囲第7項に記載の半導体装置において、

前記膜は、窒化シリコン系の膜であることを特徴とする半導体装置。

9. 請求の範囲第7項に記載の半導体装置において、

5 前記nチャネル導電型電界効果トランジスタのチャネル形成領域に引っ張り応力を発生させる膜は、前記半導体基板の一主面上に前記nチャネル導電型電界効果トランジスタを覆うようにして形成された膜であり、

前記pチャネル導電型電界効果トランジスタのチャネル形成領域に圧縮応力を発生させる膜は、前記半導体基板の一主面上に前記pチャネル導電型電界効果トランジスタを覆うようにして形成された膜であることを特徴とする半導体装置。

10 10. 請求の範囲第7項に記載の半導体装置において、

前記nチャネル導電型電界効果トランジスタのチャネル形成領域に引っ張り応力を発生させる膜は、前記nチャネル導電型電界効果トランジスタのゲート電極、又は前記ゲート電極の側壁に形成されたサイドウォールスペーサであり、

前記pチャネル導電型電界効果トランジスタのチャネル形成領域に圧縮応力を発生させる膜は、前記pチャネル導電型電界効果トランジスタのゲート電極、又は前記ゲート電極の側壁に形成されたサイドウォールスペーサであることを特徴とする半導体装置。

11. 請求の範囲第7項乃至第9項のうちの何れか一項に記載の半導体装置において、

前記nチャネル導電型電界効果トランジスタのチャネル形成領域に応力を発生させるために被膜された膜中に含まれる不純物濃度と、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に応力を発生させるために被膜された膜中に含まれる不純物濃度とが異なっているこ

とを特徴とする半導体装置。

12. 請求の範囲第7項乃至第9項のうちの何れか一項に記載の半導体装置において、

5 前記nチャネル導電型電界効果トランジスタのチャネル形成領域に応力を発生するために被膜された膜と、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に応力を発生するために被膜された膜において、膜応力を緩和する不純物が少なくとも一方に導入されていることを特徴とする半導体装置。

13. 請求の範囲第11項又は第12項に記載の半導体装置において、

10 前記nチャネル導電型電界効果トランジスタのチャネル形成領域に応力を発生するために被膜された膜と、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に応力を発生するために被膜された膜において、両者の膜中の結晶性が異なっていることを特徴とする半導体装置。

15 14. 請求の範囲第11項又は第12項に記載の半導体装置において、

前記不純物は、前記膜の下部層に到達していないことを特徴とする半導体装置。

15 15. 半導体基板の一主面の第1の領域にチャネル形成領域が構成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の一主面の第1の領域と異なる第2の領域にチャネル形成領域が構成されたpチャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

25 前記nチャネル導電型電界効果トランジスタ及び前記pチャネル導電型電界効果トランジスタを形成した後、前記nチャネル導電型電界効果トランジスタのチャネル形成領域に引っ張り応力を発生させる膜、及び前記pチャネル導電型電界効果トランジスタのチャネル形成領域に圧縮

応力を発生させる膜のうち、少なくとも一方の膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

16. 請求の範囲第15項に記載の半導体装置の製造方法において、

前記膜は、窒化シリコン膜であることを特徴とする半導体装置の製造方法。

17. 半導体基板の一主面の第1の領域にチャネル形成領域が構成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の一主面の第1の領域と異なる第2の領域にチャネル形成領域が構成されたpチャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

前記nチャネル導電型電界効果トランジスタ及び前記pチャネル導電型電界効果トランジスタを形成する工程と、

前記半導体基板の一主面の第1の領域上及び第2の領域上に、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に圧縮応力を発生させる絶縁膜を形成する工程と、

前記半導体基板の一主面の第2の領域上における前記絶縁膜に不純物を選択的に導入して、前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する圧縮応力を緩和する工程とを含むことを特徴とする半導体装置の製造方法。

18. 半導体基板の一主面の第1の領域にチャネル形成領域が構成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の一主面の第1の領域と異なる第2の領域にチャネル形成領域が構成されたpチャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

前記nチャネル導電型電界効果トランジスタ及び前記pチャネル導電型電界効果トランジスタを形成する工程と、

前記半導体基板の一主面の第1の領域上及び第2の領域上に、前記nチャネル導電型電界効果トランジスタのチャネル形成領域に引っ張り応力を発生させる絶縁膜を形成する工程と、

5 前記半導体基板の一主面の第1の領域上における前記絶縁膜に不純物を選択的に導入して、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する引っ張り応力を緩和する工程とを含むことを特徴とする半導体装置の製造方法。

19. 請求の範囲第18項に記載の半導体装置の製造方法において、

10 前記不純物の導入は、前記不純物を前記半導体基板に対して垂直にイオン注入する方法、或いは前記不純物を前記半導体基板に対して斜めにイオン注入する方法で行なうことを特徴とする半導体装置の製造方法。

20. 半導体基板に形成されたnチャネル導電型電界効果トランジスタと、pチャネル導電型電界効果トランジスタとを有する半導体装置であって、

15 前記nチャネル導電型電界効果トランジスタのチャネル形成領域におけるシリコン原子間隔と、前記pチャネル導電型電界効果トランジスタのチャネル領域におけるシリコン原子間隔の大きさ、或いは各々の歪の大きさが異なるような応力を発生させる膜が被膜されていることを特徴とする半導体装置。

20 21. 半導体基板に形成されたnチャネル導電型電界効果トランジスタと、pチャネル導電型電界効果トランジスタとを有する半導体装置であって、

25 前記nチャネル導電型電界効果トランジスタのチャネル形成領域におけるシリコン原子間隔が、前記pチャネル導電型電界効果トランジスタのチャネル領域におけるシリコン原子間隔よりも大きくなる応力を発生させる膜が被膜されていることを特徴とする半導体装置。

22. 半導体基板に形成されたnチャネル導電型電界効果トランジスタと、pチャネル導電型電界効果トランジスタとを有する半導体装置であって、

前記nチャネル導電型電界効果トランジスタ及び前記pチャネル導電
5 型電界効果トランジスタのチャネル形成領域に応力を発生させるように膜が被膜され、

前記膜は、前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する応力と、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する応力とが異なるように構成されていること
10 を特徴とする半導体装置。

23. 半導体基板に形成されたnチャネル導電型電界効果トランジスタと、pチャネル導電型電界効果トランジスタとを有する半導体装置であって、

前記nチャネル導電型電界効果トランジスタのチャネル形成領域に
15 応力を発生させるため被膜された膜中に含まれる不純物濃度と、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に応力を発生させるため被膜された膜中に含まれる不純物濃度とが異なることを特徴とする半導体装置。

24. 半導体基板に形成されたnチャネル導電型電界効果トランジスタ
20 と、pチャネル導電型電界効果トランジスタとを有する半導体装置であって、

前記nチャネル導電型電界効果トランジスタのチャネル形成領域に
応力を発生させるため被膜された膜と、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に応力を発生させるため被膜された膜
25 において、膜応力を緩和する不純物が少なくとも一方に導入されていることを特徴とする半導体装置。

25. 半導体基板に形成されたnチャネル導電型電界効果トランジスタと、pチャネル導電型電界効果トランジスタとを有する半導体装置であって、

5 前記nチャネル導電型電界効果トランジスタのチャネル形成領域に応力を発生させるため被膜された膜と、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に応力を発生させるため被膜された膜において、両者の膜中の結晶性の壊れ方が異なることを特徴とする半導体装置。

26. 請求の範囲第20項乃至第25項のうちの何れか一項に記載の半導体装置において、

前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する応力は引っ張り応力であり、

前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する応力は圧縮応力であることを特徴とする半導体装置。

15 27. 請求の範囲第20項乃至第25項に記載の半導体装置において、

前記nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのチャネル形成領域に発生する応力が圧縮応力の場合、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する圧縮応力が、前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する圧縮応力よりも大きいことを特徴とする半導体装置。

28. 請求の範囲第20項乃至第25項に記載の半導体装置において、

前記nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのチャネル形成領域に発生する応力が引っ張り応力の場合、前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する引っ張り応力が、前記pチャネル導電型電界効果トランジ

スタのチャネル形成領域に発生する引っ張り応力よりも大きいことを特徴とする半導体装置。

29. 請求の範囲第20項乃至第28項に記載の半導体装置において、
前記膜は、ゲート電極又はゲート絶縁膜又は電界効果トランジスタを
5 覆う膜で構成されることを特徴とする半導体装置。

30. 請求の範囲第20項乃至第28項に記載の半導体装置において、
前記膜は、前記nチャネル導電型電界効果トランジスタ上と、前記p
チャネル導電型電界効果トランジスタ上とで、その膜厚が異なることを
特徴とする半導体装置。

10 31. 半導体基板に形成されたnチャネル導電型電界効果トランジスタ
と、pチャネル導電型電界効果トランジスタとを有する半導体装置であ
って、

前記nチャネル導電型電界効果トランジスタのチャネル形成領域のド
レイン電流が流れる方向にかかる残留応力は引っ張り応力であり、

15 前記pチャネル導電型電界効果トランジスタのチャネル形成領域のド
レイン電流が流れる方向にかかる残留応力は圧縮応力であることを特徴
とする半導体装置。

32. 半導体基板に形成されたnチャネル導電型電界効果トランジスタ
と、pチャネル導電型電界効果トランジスタとを有する半導体装置であ
20 って、

前記pチャネル導電型電界効果トランジスタのチャネル形成領域のド
レイン電流が流れる方向にかかる圧縮応力が、前記nチャネル導電型電
界効果トランジスタのチャネル形成領域のドレイン電流が流れる方向に
かかる圧縮応力よりも大きいことを特徴とする半導体装置。

25 33. 半導体基板に形成されたnチャネル導電型電界効果トランジスタ
と、pチャネル導電型電界効果トランジスタとを有する半導体装置であ

って、

前記 n チャネル導電型電界効果トランジスタのチャネル形成領域のド
レイン電流が流れる方向にかかる引っ張り応力が、前記 p チャネル導電
型電界効果トランジスタのチャネル領域のドレイン電流が流れる方向に
5 にかかる引っ張り応力よりも大きいことを特徴とする半導体装置。

34. 半導体基板に形成された n チャネル導電型電界効果トランジスタ
と、 p チャネル導電型電界効果トランジスタとを有する半導体装置であ
って、

前記 n チャネル導電型電界効果トランジスタのチャネル形成領域のド
10 レイン電流が流れる方向におけるシリコン原子間隔は、前記 p チャネル
導電型電界効果トランジスタのチャネル形成領域のドレイン電流が流れ
る方向におけるシリコン原子間隔よりも大きいことを特徴とする半導体
装置。

35. 半導体基板に形成された n チャネル導電型電界効果トランジスタ
15 と、 p チャネル導電型電界効果トランジスタとを有する半導体装置であ
って、

前記 n チャネル導電型電界効果トランジスタのチャネル形成領域のド
レイン電流が流れる方向におけるシリコン原子間隔と、前記 p チャネル
導電型電界効果トランジスタのチャネル領域のドレイン電流が流れる方
20 向におけるシリコン原子間隔の大きさ、或いは各々の歪の大きさが異な
ることを特徴とする半導体装置。

36. 請求の範囲第 31 項乃至第 35 項のうちの何れか一項に記載の半
導体装置において、

前記 n チャネル導電型電界効果トランジスタ及び p チャネル導電型電
25 界効果トランジスタ上に絶縁膜が被膜され、

前記 n チャネル導電型電界効果トランジスタ上の前記絶縁膜の応力と、

前記 p チャネル導電型電界効果トランジスタ上の前記絶縁膜の膜応力とが異なることを特徴とする半導体装置。

37. 請求の範囲第36項に記載の半導体装置において、

前記 n チャネル導電型電界効果トランジスタ上の前記絶縁膜又は前記
5 p チャネル導電型電界効果トランジスタ上の前記絶縁膜の少なくとも一方に膜応力を緩和する不純物が導入されることを特徴とする半導体装置。

38. 半導体基板に形成された n チャネル導電型電界効果トランジスタと、 p チャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

10 前記 n チャネル導電型電界効果トランジスタのチャネル形成領域及び p チャネル導電型電界効果トランジスタのチャネル形成領域に圧縮応力を発生させる絶縁膜を被膜する工程と、

前記 n チャネル導電型電界効果トランジスタ上の前記絶縁膜に不純物を導入して前記絶縁膜の圧縮応力を緩和する工程とを有することを特徴
15 とする半導体装置の製造方法。

39. 半導体基板に形成された n チャネル導電型電界効果トランジスタと、 p チャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

前記 n チャネル導電型電界効果トランジスタのチャネル形成領域及び p
20 チャネル導電型電界効果トランジスタのチャネル形成領域に引っ張り応力を発生させる絶縁膜を被膜する工程と、

前記 p チャネル導電型電界効果トランジスタ上の前記絶縁膜に不純物を導入して前記絶縁膜の引っ張り応力を緩和する工程とを有することを特徴とする半導体装置の製造方法。

25 40. 請求の範囲第38項又は第39項に記載の半導体装置の製造方法において、

前記絶縁膜は窒化シリコン膜であることを特徴とする半導体装置の製造方法。

FIG. 1

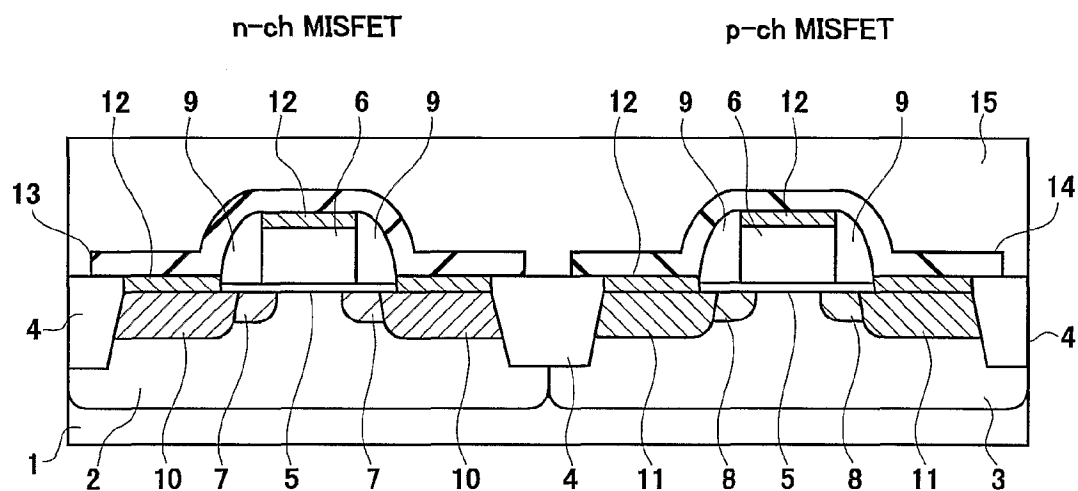
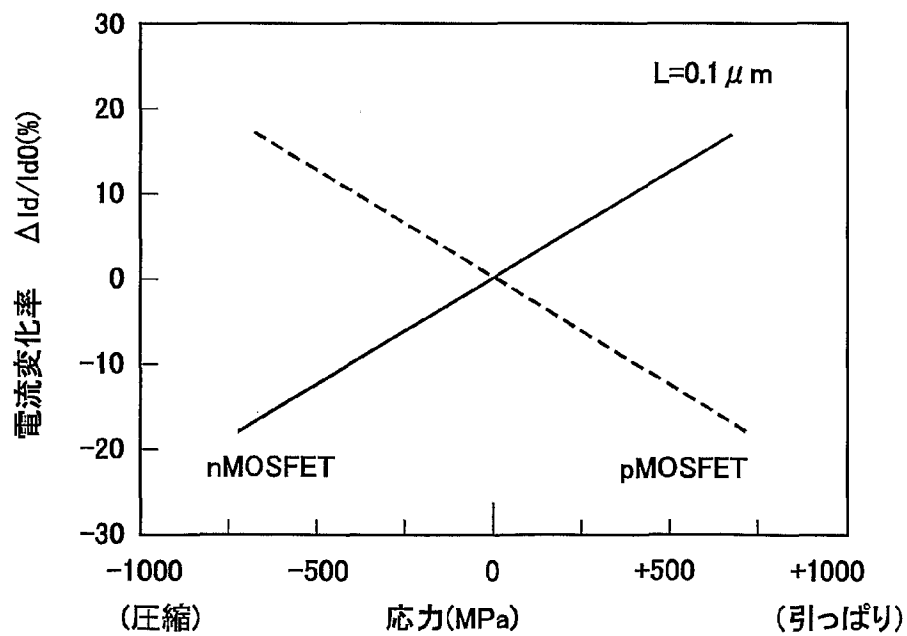
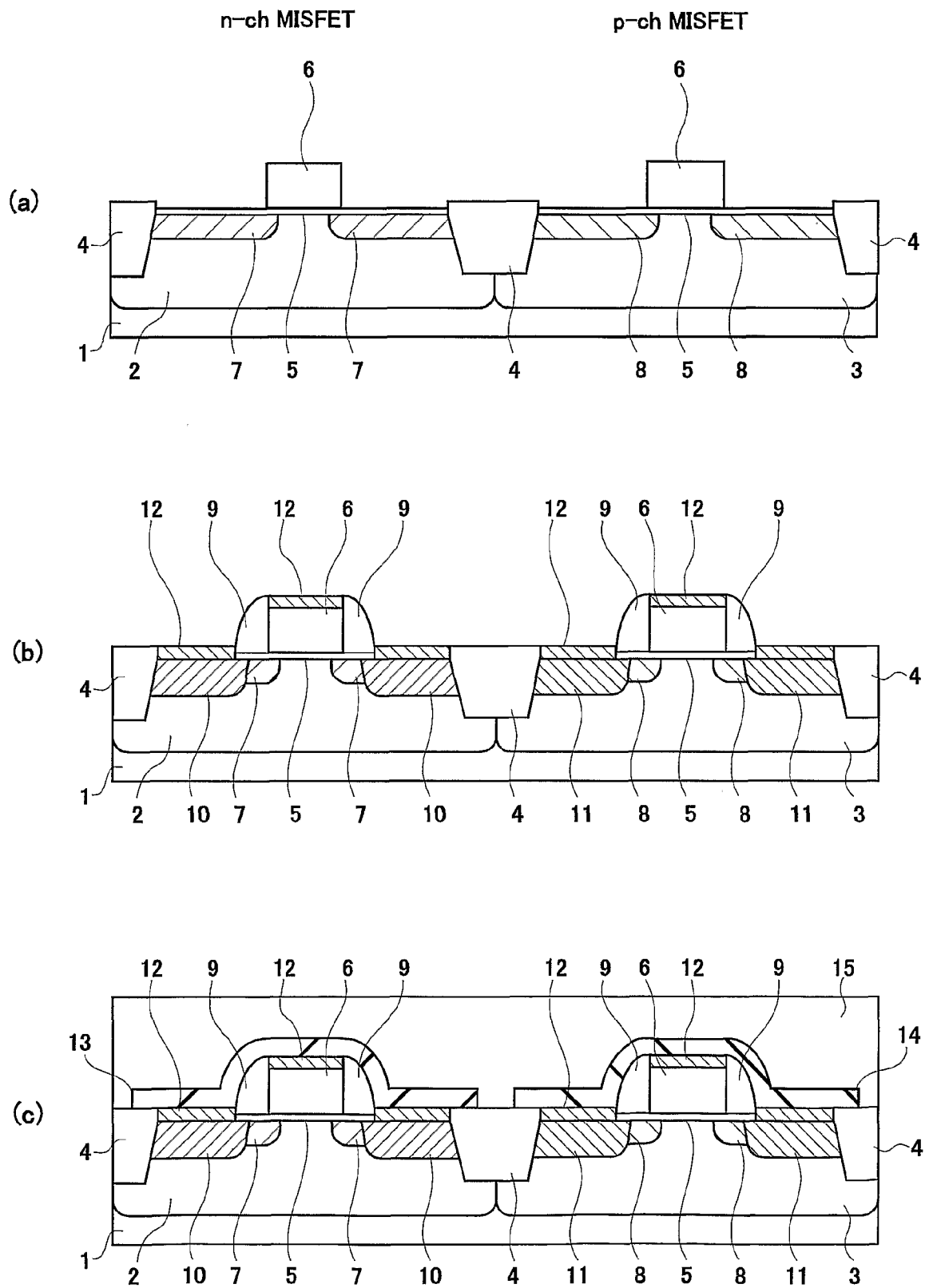


FIG.2



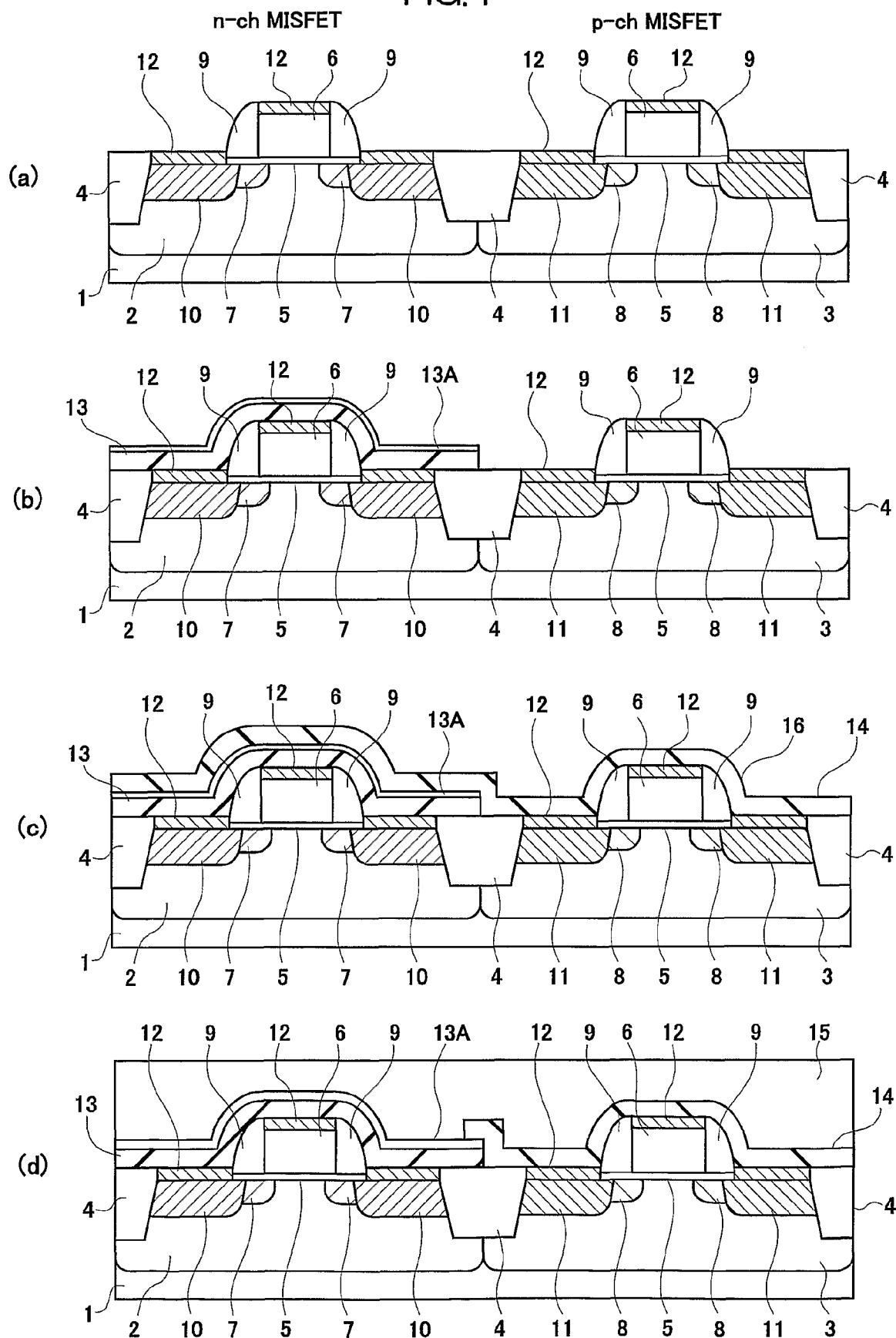
2 / 8

FIG.3



3 / 8

FIG.4



4 / 8

FIG.5

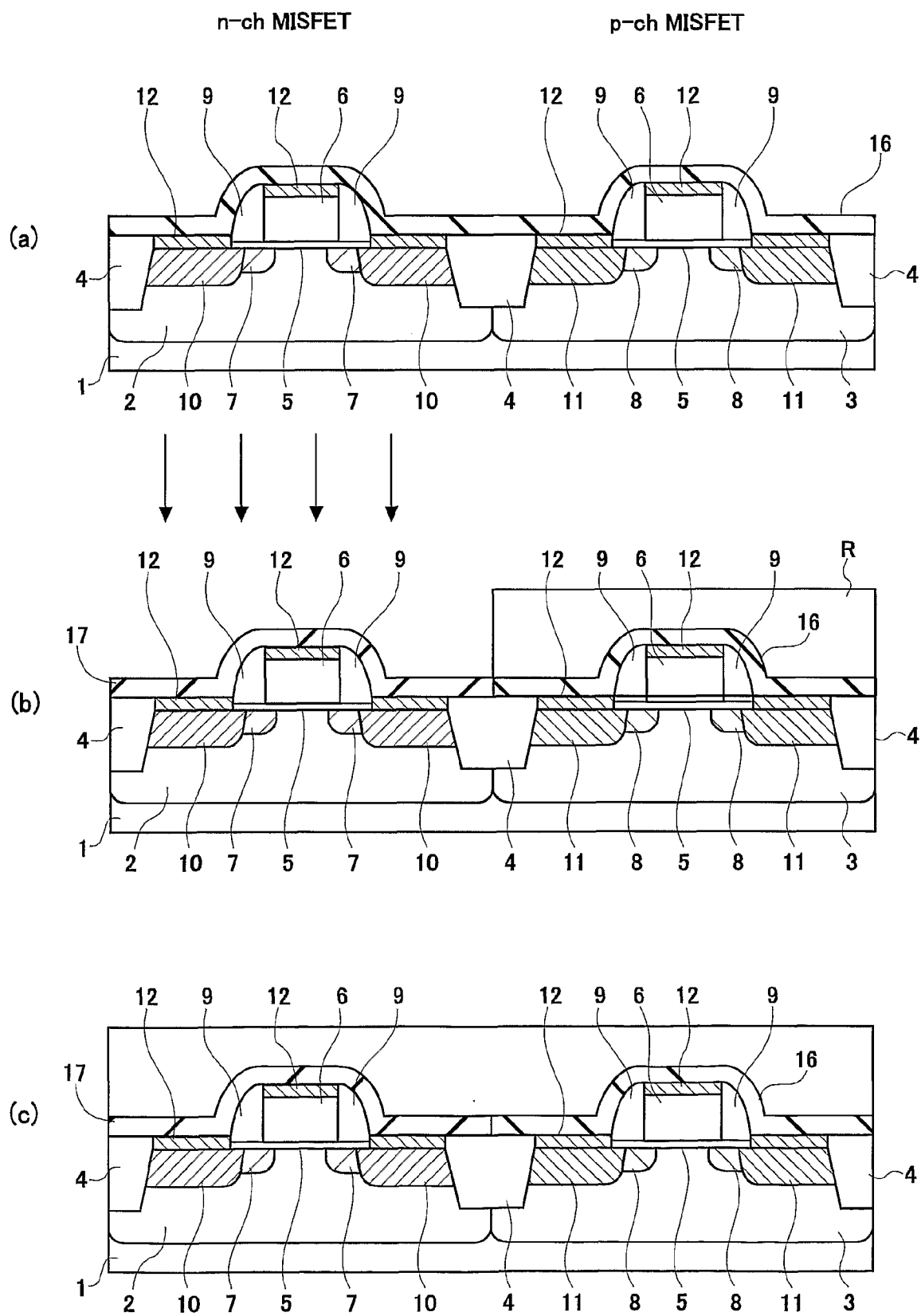


FIG.6

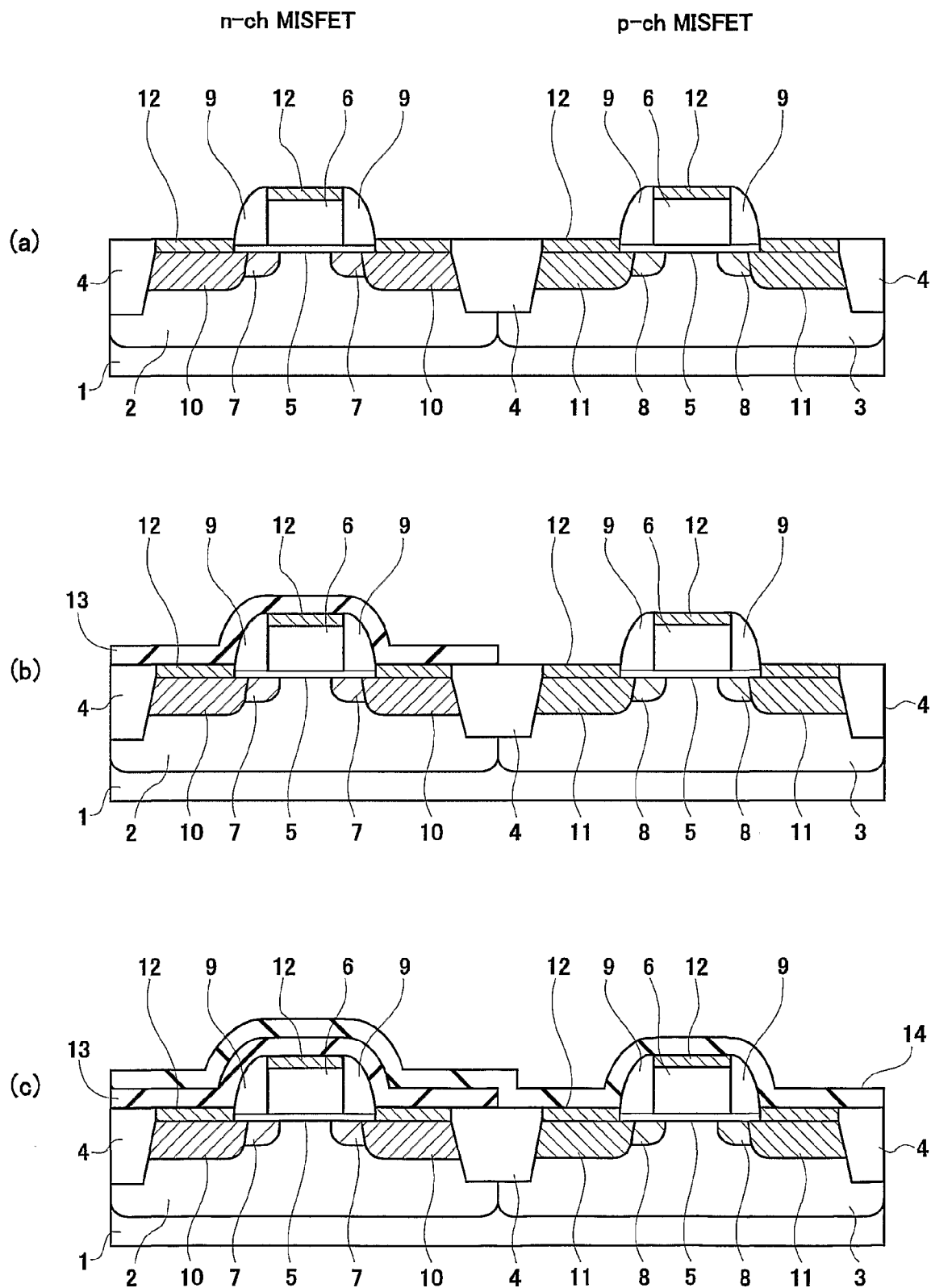


FIG.7

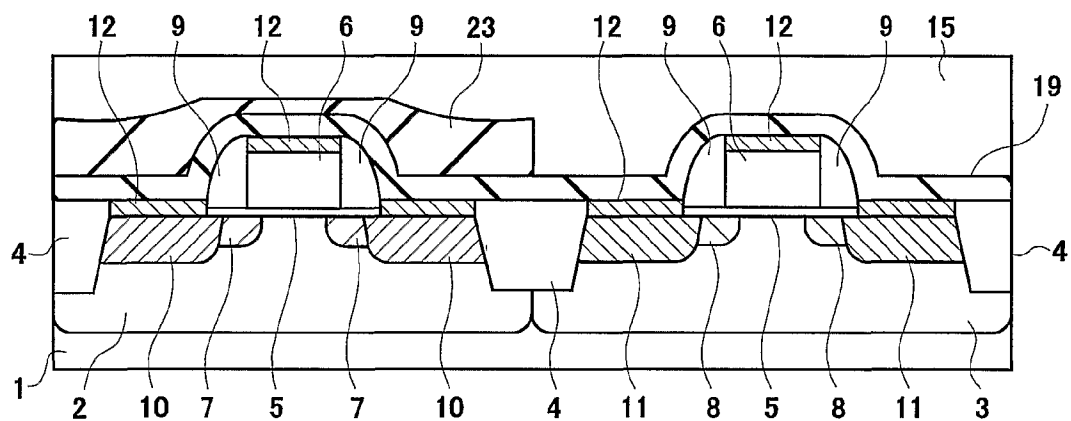


FIG.8

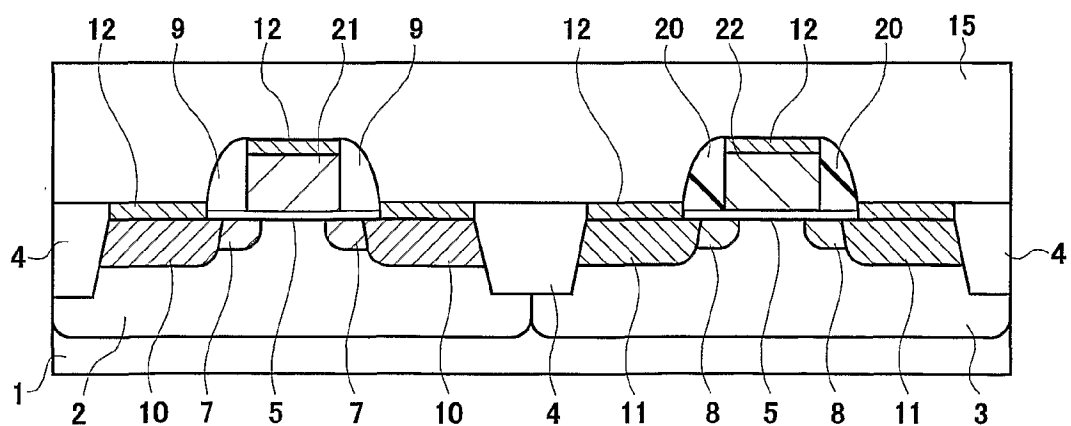


FIG.9

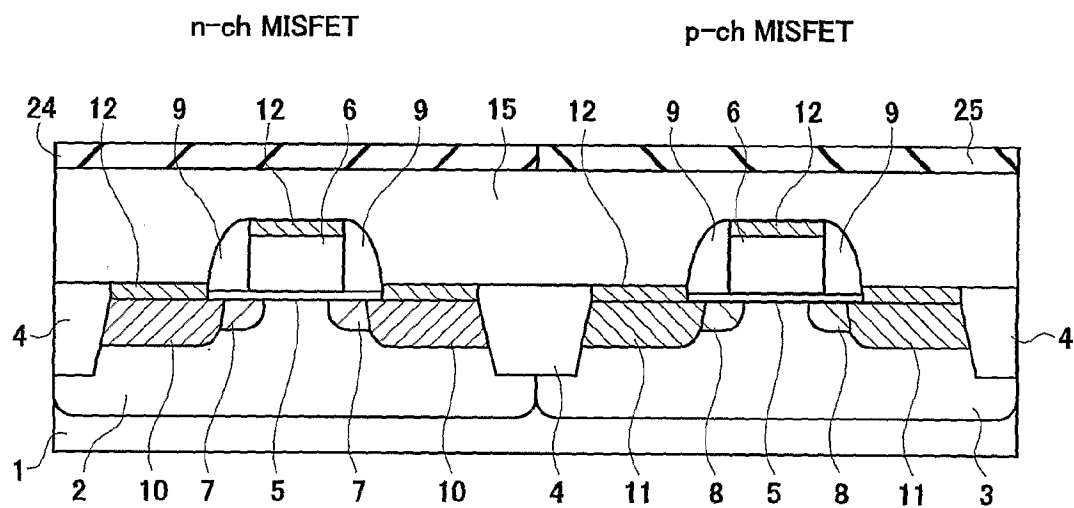


FIG.10

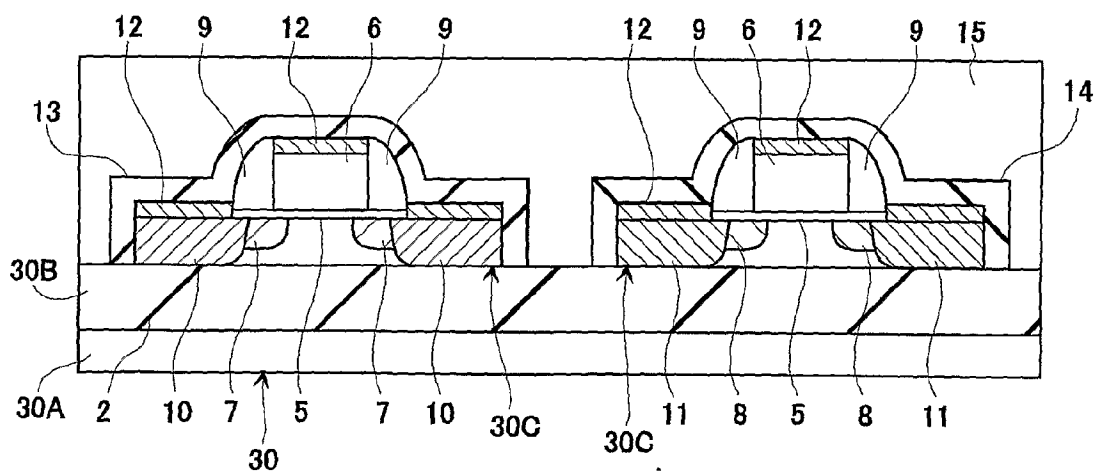
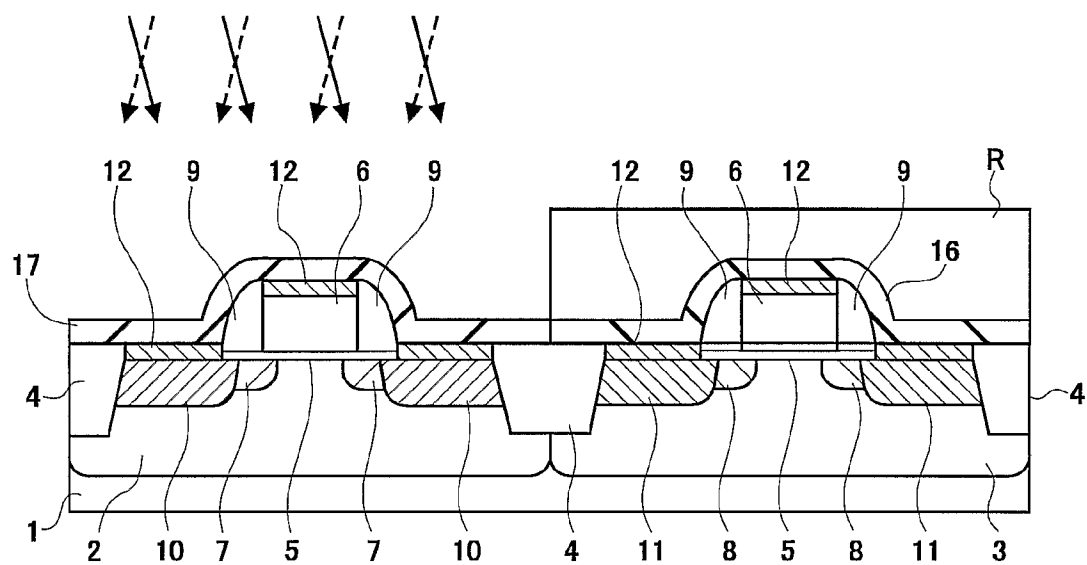


FIG.11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/05633

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L27/092, H01L21/8238

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L27/092, H01L21/8238, H01L29/78, H01L21/336,
H01L27/088, H01L21/8234, H01L21/768, H01L21/318

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Kokai Jitsuyo Shinan Koho 1971-2001
Toroku Jitsuyo Shinan Koho 1994-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2000-36605 A (Hundai Electronics Ind. Co., Ltd.), 02 February, 2000 (02.02.00), Full text; Fig. 8 & US 6194256 B1 & KR 2000003493 A	1-6, 31-36 7-10, 15-16, 20-22, 26-30 11-14, 17-19, 23-25, 37-40
X Y A	JP 2000-36567 A (Hundai Electronics Ind. Co., Ltd.), 02 February, 2000 (02.02.00), Full text & US 6211064 A & KR 2000004591 A	1-6, 31-36 7-10, 15-16, 20-22, 26-30 11-14, 17-19, 23-25, 37-40
X Y A	JP 11-340337 A (Sony Corporation), 10 December, 1999 (10.12.99), Full text; Figs. 1 to 6 & US 20010003364 A1	1-6, 31-36 7-10, 15-16, 20-22, 26-30 11-14, 17-19, 23-25, 37-40
X Y A	JP 2000-183182 A (NEC Corporation), 30 June, 2000 (30.06.00), Full text; Figs. 1 to 4 (Family: none)	1-9, 15-16, 20-22, 26-36 10 11-14, 17-19,

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 25 September, 2001 (25.09.01)	Date of mailing of the international search report 02 October, 2001 (02.10.01)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/05633

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5567642 A (Hyundai Electronics Industries Co., Ltd.), 22 October, 1996 (22.10.96), Full text; FIG.2A-2E	23-25, 37-40 1-7, 10, 15, 20-22, 26-29, 31-36
Y	& JP 08-213481 A	8-9, 16, 30
A	& KR 138959 B1 & DE 19541496 A1 & GB 2295050 A & GB 2328558 A	11-14, 17-19, 23-25, 37-40

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int⁷ H01L27/092, H01L21/8238

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int⁷ H01L27/092, H01L21/8238, H01L29/78, H01L21/336,
H01L27/088, H01L21/8234, H01L21/768, H01L21/318

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年,	日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年,	日本国実用新案登録公報	1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2000-36605 A (現代電子産業株式会社)	1-6, 31-36
Y	2. 2月. 2000 (02. 02. 00) 全文, 図8	7-10, 15-16,
A	& US 6194256 B1	20-22, 26-30
	& KR 2000003493 A	11-14, 17-19,
		23-25, 37-40
X	J P 2000-36567 A (現代電子産業株式会社)	1-6, 31-36
Y	2. 2月. 2000 (02. 02. 00) 全文	7-10, 15-16,
A	& US 6211064 A	20-22, 26-30
	& KR 2000004591 A	11-14, 17-19,
		23-25, 37-40

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

25. 09. 01

国際調査報告の発送日

02.10.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

安田 雅彦



4 L

9 4 4 7

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 11-340337 A (ソニー株式会社) 10. 12月. 1999 (10. 12. 99) 全文, 図1-6 & US 20010003364 A1	1-6, 31-36 7-10, 15-16, 20-22, 26-30 11-14, 17-19, 23-25, 37-40
X Y A	JP 2000-183182 A (日本電気株式会社) 30. 6月. 2000 (30. 06. 00) 全文, 図1-4 (ファミリーなし)	1-9, 15-16, 20-22, 26-36 10 11-14, 17-19, 23-25, 37-40
X Y A	US 5567642 A (Hyundai Electronics Industries Co., Ltd.) 22. 10月. 1996 (22. 10. 96) 全文, FIG. 2A-2E & JP 08-213481 A & KR 138959 B1 & DE 19541496 A1 & GB 2295050 A & GB 2328558 A	1-7, 10, 15, 20-22, 26-29, 31-36 8-9, 16, 30 11-14, 17-19, 23-25, 37-40

Requested Patent: WO0243151A1

Title: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME ;

Abstracted Patent: WO0243151 ;

Publication Date: 2002-05-30 ;

Inventor(s):

SHIMIZU AKIHIRO (JP); OOKI NAGATOSHI (JP); NONAKA YUSUKE (JP); ICHINOSE KATSUHIKO (JP) ;

Applicant(s):

HITACHI LTD (JP); HITACHI ULSI SYS CO LTD (JP); SHIMIZU AKIHIRO (JP); OKI NAGATOSHI (JP); NONAKA YUSUKE (JP); ICHINOSE KATSUHIKO (JP) ;

Application Number: WO2001JP05633 20010629 ;

Priority Number(s): JP20000356497 20001122 ;

IPC Classification: H01L27/092; H01L21/8238 ;

Equivalents:

AU6788001, CN1449585, KR20070087135, TW536726B, US2004029323, US2007023843, US7115954 ;

ABSTRACT:

A semiconductor device comprising an n-channel conductivity type field-effect transistor having a channel forming region in a first region in one major surface of a semiconductor substrate, and a p-channel conductivity type field-effect transistor having a channel forming region in a second region different from the first region in the one major surface of the semiconductor substrate, wherein the inner stress generated in the channel forming region of the n-channel conductivity type field-effect transistor is different from the inner stress generated in the channel forming region of the p-channel conductivity type field-effect transistor. The inner stress generated in the channel forming region of the n-channel conductivity type field-effect transistor is a tensile stress and the inner stress generated in the channel forming region of the p-channel conductivity type field-effect transistor is a compressive stress.